

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Jae-Bon KOO et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: July 23, 2003

Examiner: Unassigned

For: CRYSTALLIZATION METHOD OF SILICON THIN FILM, THIN FILM TRANSISTOR
MANUFACTURED USING THE METHOD, AND FLAT PANEL DISPLAY INCLUDING
THE THIN FILM TRANSISTOR

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicants submit herewith a
certified copy of the following foreign application:

Korean Patent Application No. 2002-45955

Filed: August 3, 2002

It is respectfully requested that the applicants be given the benefit of the foreign filing
date as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: July 23, 2003

By: 

Michael D. Stein

Registration No. 37,240

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0045955
Application Number PATENT-2002-0045955

출원년월일 : 2002년 08월 03일
Date of Application AUG 03, 2002

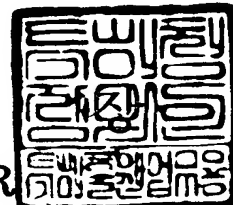
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2002 년 10 월 29 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0003 |
| 【제출일자】 | 2002.08.03 |
| 【국제특허분류】 | F04B |
| 【발명의 명칭】 | 실리콘 박막의 결정화 방법, 이를 이용한 박막 트랜지스터 및 상기 박막 트랜지스터를 구비한 평판 디스플레이 소자 |
| 【발명의 영문명칭】 | Crystallizing method of silicon thin film, TFT used the method and flat panel display device with the TFT |
| 【출원인】 | |
| 【명칭】 | 삼성에스디아이 주식회사 |
| 【출원인코드】 | 1-1998-001805-8 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-050326-4 |
| 【대리인】 | |
| 【성명】 | 이해영 |
| 【대리인코드】 | 9-1999-000227-4 |
| 【포괄위임등록번호】 | 2000-004535-8 |
| 【발명자】 | |
| 【성명의 국문표기】 | 구재본 |
| 【성명의 영문표기】 | K00, Jae Bon |
| 【주민등록번호】 | 720706-1767718 |
| 【우편번호】 | 449-840 |
| 【주소】 | 경기도 용인시 수지읍 풍림아파트 105동 504호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 박지용 |
| 【성명의 영문표기】 | PARK, Ji Yong |
| 【주민등록번호】 | 700331-1823311 |

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 993-5 204호
【국적】 KR
【발명자】
【성명의 국문표기】 박상일
【성명의 영문표기】 PARK,Sang II
【주민등록번호】 750320-1042314
【우편번호】 158-074
【주소】 서울특별시 양천구 신정4동 983-12
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 이해영 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 21 면 21,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 31 항 1,101,000 원
【합계】 1,151,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 블랙 매트릭스층을 이용하여 보다 간단한 공정으로 비정질 실리콘 박막을 결정화시키고, MIC 영역과 MILC 영역의 경계가 연속적이 되도록 함으로써 소자 특성이 더욱 개선된 박막 트랜지스터를 제공하기 위한 것으로, 절연 기판 상에 외광을 흡수할 수 있는 블랙 매트릭스층을 형성하되, 상기 블랙 매트릭스층의 상부는 실리콘 결정화 촉매물질을 함유하도록 형성하는 공정과, 상기 블랙 매트릭스층을 패터닝하는 공정과, 상기 절연 기판 및 블랙 매트릭스층의 상부로 비정질 실리콘 박막을 형성하는 공정과, 상기 비정질 실리콘 박막을 열처리해 결정화하는 공정을 포함하여 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법과, 이를 이용한 박막 트랜지스터 및 상기 박막 트랜지스터를 구비한 평판 디스플레이 소자에 관한 것이다.

【대표도】

도 4

【색인어】

비정질, 결정화, MILC, 블랙 매트릭스, 외광흡수층

【명세서】**【발명의 명칭】**

실리콘 박막의 결정화 방법, 이를 이용한 박막 트랜지스터 및 상기 박막 트랜지스터를 구비한 평판 디스플레이 소자{Crystallizing method of silicon thin film, TFT used the method and flat panel display device with the TFT}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 MILC법을 이용해 비정질 실리콘 박막을 결정화하는 단계를 나타내는 단면도.

도 2a 내지 도 2c는 본 발명의 바람직한 일 실시예에 따른 비정질 실리콘 박막을 결정화하는 단계를 나타내는 단면도.

도 3은 도 2b의 III부분에 대한 부분 확대 단면도.

도 4는 도 2c의 IV부분에 대한 부분 확대 단면도.

도 5는 기능성 박막의 농도 구배를 나타내 보인 그래프.

도 6은 기능성 박막을 나타내 보인 단면도.

도 7a 내지 도 7c는 본 발명의 바람직한 다른 일 실시예에 따른 비정질 실리콘 박막을 결정화하는 단계를 나타내는 단면도.

도 8은 본 발명에 따라 제조된 박막 트랜지스터를 장착한 유기 전계 발광 표시 장치의 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 비정질 실리콘 박막을 결정화하는 방법에 관한 것으로, 특히, 이러한 실리콘 박막의 결정화 방법을 이용해 액정 디스플레이 소자(Liquid Crystal Display: LCD), 전계 발광 디스플레이 소자(Light Emitting Display) 등 평판 디스플레이 소자 및 3D 초고집적 반도체 소자 등에 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)의 실리콘 박막을 형성하는 방법과, 이를 이용하여 제조된 박막 트랜지스터 및 상기 박막 트랜지스터를 구비한 평판 디스플레이 소자에 관한 것이다.

<10> 액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 디스플레이 소자에 사용되는 비정질 실리콘 박막 트랜지스터(amorphous silicon TFT: a-Si TFT)는 소스, 드레인 및 채널을 구성하는 반도체 활성층이 비정질 실리콘이기 때문에 $1\text{cm}^2/\text{Vs}$ 이하의 낮은 전자 이동도를 갖는고, 이에 따라 최근에는 상기 비정질 실리콘 박막 트랜지스터를 다결정질 실리콘 박막 트랜지스터(polycrystalline silicon TFT: poly-Si TFT)로 대체하는 경향으로 가고 있다. 상기 다결정질 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터에 비해 전자 이동도가 크고, 빛의 조사에 대한 안정성이 우수하다. 따라서, 이 다결정질 실리콘 박막 트랜지스터는 액티브 매트릭스 액정 디스플레이 소자나, 액티브 매트릭스 유기 전계 발광 디스플레이 소자의 구동 및/또는 스위칭 트랜지스터로 사용될 수 있다.

- <11> 상기와 같은 다결정질 실리콘을 여러 가지 방법으로 제작할 수 있는 데, 이는 다결정 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 결정화하는 방법으로 크게 두 가지로 구분될 수 있다.
- <12> 다결정질 실리콘을 직접 증착하는 방법에는 열화학기상증착법(Cheical Vapor Deposition: CVD), Photo CVD, HR(hydrogen radical) CVD, ECR(electron cyclotron resonance) CVD, PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD 등의 방법이 있다.
- <13> 한편, 비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(Solid Phase Crystallization: SPC)법, 엑시머 레이저(Excimer Laser Crystallization: ELC)법, 연속 측면고상화(Sequential Lateral Solidification: SLS)법, 금속 유도 결정화(Metal Induced Crystallization: MIC)법, 금속 유도 측면 결정화(Metal Induced Lateral Crystallization: MILC)법 등이 있다.
- <14> 그런데, 상기 고상결정화법은 600℃ 이상의 고온에서 장시간 유지되어야 하므로 그 실용성이 현저히 떨어지며, 엑시머 레이저법은 저온 결정화를 이룰 수 있다는 장점이 있지만 레이저 빔을 광학계를 이용해 넓힘으로써 균일성이 떨어지는 단점이 있다. 연속 측면 고상화법은 비정질 실리콘에 웨브론 모양의 마스크를 통과한 레이저를 주사하여 비정질 실리콘을 결정화시키면서 국부적인 영역에 다결정 실리콘을 형성하는 방법인 데, 이는 레이저광의 주사를 정교하게 제어하는 데 기술적인 곤란이 따르고, 균일한 특성의 다결정 실리콘 박막을 얻는 데 한계가 있다. 한편, 금속 유도 결정화법은 비정질 실리콘의 표면에 금속 박막을 증착한 후 이를 결정화 촉매로 삼아 실리콘막의 결정화를 진행해 나가는 것으로 결정화 온도를 낮출 수 있다는 장점을 갖는다. 그러나, 이 금속 유도 결정화법 또한 다결정질 실리콘막이 금속에 의해 오염되어 있어 이 실리콘 막으로 형성한

박막 트랜지스터 소자의 특성이 불량하게 되며, 형성되는 결정 또한 크기가 작고 무질서한 문제가 있었다.

<15> 최근에 이러한 종래 비정질 실리콘 결정화 방법들의 문제를 해결하기 위해 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속 전파하면서 순차적으로 결정화를 유도하는 금속 유도 측면 결정화법이 제안되고 있다. 이 금속 유도 측면 결정화법은 비정질 실리콘층을 결정화시키기 위해 사용된 금속 성분이 반도체 활성층 영역에는 거의 잔류하지 않고, 형성되는 결정의 크기가 크고 방향성이 있기 때문에 잔류 금속 성분에 의한 전류의 누설 및 기타 전기적 특성의 열화가 없고, 300 내지 500℃의 비교적 저온에서 결정화를 유도할 수 있는 장점이 있다.

<16> 도 1a 내지 도 1d에는 종래 상기와 같은 금속 유도 측면 결정화(MILC)법을 이용해 다결정질 실리콘을 형성하는 방법을 나타내었다.

<17> 도 1a와 같이 투명한 기판(1) 상에 SiO_x 등으로 버퍼층(2)을 형성하고, 그 위에 비정질 실리콘막(3)을 증착한다. 그리고, 이 비정질 실리콘막(3)의 상부로 절연막(4)을 도포한 후, 패턴 형성을 위해 그 상부에 포토 레지스트와 같은 감광막(5)을 소정 패턴으로 형성한다. 이 감광막(5)을 이용해 비정질 실리콘막(3) 상부의 절연막(4)을 도 1b와 같이 소정 패턴으로 형성해 준 후, 그 상부로 결정화 촉매로써 니켈(Ni) 박막(6)을 증착한다. 그 다음으로, 이를 열처리하게 되면, 도 1c와 같이, 비정질 실리콘은 절연막(4)이 형성되지 않은 영역(A)에서는 니켈(6) 박막에 의해 금속 유도 결정화가 진행되어 MIC 영역(7)이 형성되고, 절연막(4)이 덮

인 영역(B)에서는 상기 MIC 영역(7)으로부터 측면으로 결정화가 진행된 MILC 영역(8)이 형성된다. 따라서, MILC 영역(8)의 상면의 절연막(4)을 제거하면 도 1d에서 볼 수 있는 바와 같은 MILC법에 의해 형성된 다결정질 실리콘 박막이 얻어진다.

<18> 이러한 금속 유도 측면 결정화법이 박막 트랜지스터 제조공정에 적용될 경우에는 비정질 실리콘 박막 상에 게이트 절연층 및 게이트 전극을 형성한 후 그 상면으로 Ni 박막을 증착하고 열처리를 행하여 결정화하거나, 게이트 절연층 및 게이트 전극을 형성한 후에 포토 레지스트를 상기 게이트 절연층 및 게이트 전극과 소스 및 드레인 영역의 일부가 덮이도록 형성한 후 Ni 박막을 형성하고, 상기 포토 레지스트를 제거한 다음 열처리를 통해 결정화를 진행시켜 소스 영역과 채널 영역의 경계 및 드레인 영역과 채널 영역의 경계부근에서 결정입자의 구조가 서로 다른 MIC 영역과 MILC 영역의 경계가 위치하는 것을 막아 채널 영역의 특성을 강화시킬 수 있다.

<19> 그러나, 상기와 같은 종래 기술에 있어서는 MILC 영역의 확대를 위해서 별도의 포토 레지스트 층을 형성해야 하며, 별도의 결정화 촉매 증착 공정이 항상 구비되어야 하는 등 공정 상의 번거로움이 많고, 이에 따라 제조 공정이 복잡한 단점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기와 같은 문제를 해결하기 위한 것으로, 블랙 매트릭스를 이용하여 보다 간단한 공정으로 비정질 실리콘 박막을 결정화하는 방법을 제공하는 데 그 목적이 있다.

<21> 본 발명의 다른 목적은 MIC 영역과 MILC 영역의 경계가 연속적이 되도록 함으로써 소자 특성이 더욱 개선된 박막 트랜지스터를 제공하는 것이다.

<22> 본 발명의 또 다른 목적은 블랙 매트릭스층의 형성과 결정화 공정을 동시에 진행시킬 수 있으므로, 공정 수를 줄일 수 있는 비정질 실리콘 박막의 결정화 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기와 같은 목적을 달성하기 위하여, 본 발명은 절연 기판 상에 외광을 흡수할 수 있는 블랙 매트릭스층을 형성하되, 상기 블랙 매트릭스층의 상부는 실리콘 결정화 촉매 물질을 함유하도록 형성하는 공정과, 상기 블랙 매트릭스층을 패터닝하는 공정과, 상기 절연 기판 및 블랙 매트릭스층의 상부로 비정질 실리콘 박막을 형성하는 공정과, 상기 비정질 실리콘 박막을 열처리해 결정화하는 공정을 포함하여 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법을 제공한다.

<24> 본 발명의 다른 특징에 의하면, 상기 블랙 매트릭스층은 상기 절연 기판으로부터 투명한 물질인 제 1 성분과, 금속 물질인 제 2 성분이 순차로 구비된 기능성 박막이 되, 상기 제 1 성분과 제 2 성분은 농도구배를 갖도록 존재하는 전이층을 포함하며, 상기 제 1 성분은 상기 절연 기판에 가까워질수록 그 함량이 증가하고, 상기 제 2 성분은 상기 절연 기판으로부터 멀어질수록 그 함량이 증가하도록 형성될 수 있다.

<25> 이 때, 상기 제 1 성분은 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과 같은 투명한 절연물질로 이루어진 군 및 ITO (Indium tin Oxide), IZO (Indium Zinc Oxide), ZnO , In_2O_3 등과 같은 투명한 도전물질로 이루어진 군 중 적어도 어느 하나의 군에서 선택되는 적어도 하나 이상의 투명한 물질로 구비되도록 하고, 상기 제 2 성분은 Fe , Co , V , Ti , Al , Ag , Si , Ge , Y , Zn , Zr , W , Ta , Cu , Pt 로 이루어진 군으로부터 선택된 적어도 하나 이상의 금속 물질로 구비되도록 할 수 있다.

- <26> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층은 $\text{CrO}_x(x \geq 1)$ 로 구비된 박막이거나, Cr으로 구비된 박막일 수 있다.
- <27> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층은 상기 절연기판 상에 $\text{CrO}_x(x \geq 1)$ 로 구비된 제 1박막과, 상기 제 1 박막의 상부로 Cr으로 구비된 제 2 박막을 갖는 기능성 박막일 수 있다.
- <28> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층은 평판 디스플레이 소자의 블랙 매트릭스층이고, 상기 블랙 매트릭스층의 패터닝 공정은 상기 평판 디스플레이 소자의 화소 영역에 대응하는 상기 블랙 매트릭스에 대한 패터닝 공정과 동시에 이루어지도록 할 수 있다.
- <29> 이러한 본 발명에 있어서, 상기 실리콘 결정화 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어질 수 있다.
- <30> 본 발명은 또한 상기와 같은 목적을 달성하기 위하여, 절연 기판 상에 외광을 흡수할 수 있는 블랙 매트릭스층을 형성하는 공정과, 상기 블랙 매트릭스층의 상부로 실리콘 결정화 촉매 물질로 구비된 결정화 박막을 형성하는 공정과, 상기 블랙 매트릭스층 및 상기 결정화 박막을 패터닝하는 공정과, 상기 절연 기판 및 결정화 박막의 상부로 비정질 실리콘 박막을 형성하는 공정과, 상기 비정질 실리콘 박막을 열처리해 결정화하는 공정을 포함하여 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법을 제공한다.
- <31> 본 발명의 다른 특징에 의하면, 상기 블랙 매트릭스층은 상기 절연 기판으로부터 투명한 물질인 제 1 성분과, 금속 물질인 제 2 성분이 순차로 구비된 기능성 박막이되,

상기 제 1 성분과 제 2 성분은 농도구배를 갖도록 존재하는 전이층을 포함하며, 상기 제 1 성분은 상기 절연 기판에 가까워질수록 그 함량이 증가하고, 상기 제 2 성분은 상기 절연 기판으로부터 멀어질수록 그 함량이 증가하도록 형성될 수 있다.

<32> 이 때, 상기 제 1 성분은 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과 같은 투명한 절연물질로 이루어진 군 및 ITO(Indium tin Oxide), IZO(Indium Zinc Oxide), ZnO , In_2O_3 등과 같은 투명한 도전물질로 이루어진 군 중 적어도 어느 하나의 군에서 선택되는 적어도 하나 이상의 투명한 물질로 구비되고, 상기 제 2 성분은 Fe, Co, V, Ti, Al, Ag, Si, Ge, Y, Zn, Zr, W, Ta, Cu, Pt로 이루어진 군으로부터 선택된 적어도 하나 이상의 금속 물질로 구비될 수 있다.

<33> 본 발명의 또 다른 특징에 의하면, 상기 블랙매트릭스층은 $\text{CrO}_x(x \geq 1)$ 로 구비된 박막이거나, Cr으로 구비된 박막일 수 있다.

<34> 본 발명의 또 다른 특징에 의하면, 상기 블랙매트릭스층은 상기 절연기판 상에 $\text{CrO}_x(x \geq 1)$ 로 구비된 제 1박막과, 상기 제 1 박막의 상부로 Cr으로 구비된 제 2 박막을 갖는 기능성 박막일 수 있다.

<35> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층은 평판 디스플레이 소자의 블랙 매트릭스층이고, 상기 블랙 매트릭스층 및 결정화 박막의 패터닝 공정은 상기 평판 디스플레이 소자의 화소 영역에 대응하는 상기 블랙 매트릭스에 대한 패터닝 공정과 동시에 이루어지도록 할 수 있다.

, 상기 실리콘 결정화 촉매 물질은 Ni, Pd, Au, Sn, Sb, I, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하
질 수 있다.

같은 목적을 달성하기 위하여, 절연 기판 상에 위치하여 채널
양단부에 고농도 불순물이 도핑된 소스 및 드레인 영역을
형성하는 MILC 영역으로 형성된 반도체 활성층과, 상기 반
도체 소스 및 드레인 영역과 상기 절연 기판과의 사이에
결정화 촉매물질이 포함된 블랙 매트릭스층과, 상기 채널
층 상에 형성된 게이트 전극을 포함하여 이루어진 것을 특
징으로 제공한다.

즉, 상기 블랙 매트릭스층은 상기 절연 기판으로부터
구분되는 제 2 성분이 순차로 구비된 기능성 박막이 되,
농도구배를 갖도록 존재하는 전이층을 포함하며, 상기 제
1 성분이 증가할수록 그 함량이 증가하고, 상기 제 2 성분은 상기
제 1 성분이 증가하도록 구비될 수 있다.

예를 들어, $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과
같은 절연체로 이루어진 군 및 ITO(Indium tin Oxide), IZO(Indium Zinc
Oxide)와 같은 투명한 도전물질로 이루어진 군 중 적어도 어느 하나의
성분을 포함하는 투명한 물질로 구비되고, 상기 제 2 성분은 Fe,
Zn, Zr, W, Ta, Cu, Pt로 이루어진 군으로부터 선택된
금속 원소로 구비될 수 있다.

- <40> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층은 $\text{CrO}_x(x \geq 1)$ 로 구비된 박막이거나, Cr으로 구비된 박막일 수 있다.
- <41> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층은 상기 절연기판 상에 $\text{CrO}_x(x \geq 1)$ 로 구비된 제 1박막과, 상기 제 1 박막의 상부로 Cr으로 구비된 제 2 박막을 갖는 기능성 박막일 수 있다.
- <42> 이러한 본 발명에 있어서, 상기 실리콘 결정화 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 것일 수 있다.
- <43> 또한, 본 발명에 있어 상기 블랙 매트릭스층은 상기 소스 및 드레인 영역에서 채널 영역의 방향을 향하여 상기 기판에 근접되도록 경사지도록 형성될 수 있고, 이 때, 상기 소스 및 드레인 영역은 상기 채널 영역으로부터 MILC 및 MIC의 혼합 영역과 MIC 영역이 순차로 형성될 수 있다.
- <44> 본 발명의 또 다른 특징에 의하면, 상기 반도체 활성층의 소스 및 드레인 영역과 상기 블랙 매트릭스층의 사이에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 상기 실리콘 결정화 촉매 물질로 구비된 박막이 개재될 수 있다.
- <45> 본 발명은 또한 상기 목적을 달성하기 위하여, 절연 기판 상에 매트릭스 형태로 배열된 화소부와, 상기 화소부의 주위로 적어도 하나의 박막 트랜지스터를 구비한 평판 디스플레이 소자에 있어서, 상기 박막 트랜지스터는, 상기 절연 기판 상에 위치하여 채널 영역과, 상기 채널 영역의 양단부에 고농도 불순물이 도핑된 소스 및 드레인 영역을 갖

는 것으로, 적어도 상기 채널 영역은 MILC 영역으로 형성된 반도체 활성층과, 상기 반도체 활성층의 상기 채널 영역 상부에 게이트 절연막을 개재하여 형성된 게이트 전극과, 상기 게이트 절연막과 절연 기판의 사이 및 상기 반도체 활성층의 적어도 상기 소스 및 드레인 영역과 상기 절연 기판의 사이에 각각 개재되고, 상기 화소부에 대응되는 부분이 개구된 블랙 매트릭스층과, 상기 게이트 전극 및 게이트 절연막의 상부에 형성된 중간 절연막과, 상기 중간 절연막의 상부에 형성되고, 상기 반도체 활성층의 소스 및 드레인 영역과 각각 연결된 소스 및 드레인 전극과, 상기 중간 절연막, 소스 및 드레인 전극의 상부에 형성되고, 상기 드레인 전극과 상기 화소부의 어느 한 전극이 연결되도록 하는 패시베이션막을 포함하여 이루어진 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

<46> 본 발명의 다른 특징에 의하면, 상기 블랙 매트릭스층은 상기 소스 및 드레인 영역에서 채널 영역의 방향을 향하여 상기 기판에 근접되도록 경사지도록 형성될 수 있고, 이 때, 상기 소스 및 드레인 영역은 상기 채널 영역으로부터 MILC 및 MIC의 혼합 영역과 MIC 영역이 순차로 형성될 수 있다.

<47> 본 발명의 또 다른 특징에 의하면, 상기 블랙 매트릭스층의 상기 반도체 활성층을 향한 상부에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 상기 실리콘 결정화 촉매 물질이 함유될 수 있다.

<48> 본 발명의 또 다른 특징에 의하면, 상기 반도체 활성층의 소스 및 드레인 영역과 상기 블랙 매트릭스층의 사이에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V,

Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 상기 실리콘 결정화 촉매 물질로 구비된 결정화 박막이 개재될 수 있다.

<49> 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다 .

<50> 먼저, 본 발명에 따른 실리콘 박막의 결정화 방법을 설명하면 다음과 같다.

<51> 도 2a 내지 도 2c는 본 발명의 바람직한 실시예에 따른 실리콘 박막의 결정화 방법을 나타낸 것이다.

<52> 우선, 도 2a에서 볼 수 있듯이, 절연 기판(10) 상에 블랙 매트릭스층을 형성한다. 본 발명에 있어 상기 블랙 매트릭스층은 상부에 실리콘 결정화 촉매 물질을 함유한 기능성 박막(20)일 수 있다. 상기 기능성 박막(20)은 기판(10)으로부터 투명한 물질인 제 1 성분과, 금속 물질인 제 2 성분이 점진적인 농도구배를 갖도록 형성된 것으로, 기판(10)의 하부 바깥으로부터 외광이 입사되었을 경우 이 외광을 흡수할 수 있는 기능을 가져, 외광 흡수층, 즉 디스플레이 장치의 블랙 매트릭스로 사용될 수 있다.

<53> 이를 더욱 상세하게 설명하면, 상기 기능성 박막(20)은 도 5에 도시된 바와 같이, 투명한 물질인 제 1 성분(I)과, 금속 물질인 제 2 성분(II)이 기판(10)으로부터의 거리, 즉 두께에 따라 점차적으로 농도 구배를 갖도록 형성된다. 이 기능성 박막(20)을 이루는 제 1 성분은 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과 같은 투명한 절연물질로 이루어진 군 및 In_2O_3 , ITO(Indium tin Oxide), IZO(Indium Zinc Oxide), ZnO 등과 같은 투명한 도전물질로 이루어진 군에서 선택되는 적어도 하나 이상의 투명한

물질이며, 제 2 성분은 Fe, Co, V, Ti, Al, Ag, Si, Ge, Y, Zn, Zr, W, Ta, Cu, Pt로 이루어진 군에서 선택되는 하나 이상의 금속 물질일 수 있다.

<54> 상기 기능성 박막(20)의 두께에 따른 점진적인 농도 구배는 도 5에 도시된 바와 같이 기판으로부터 멀어질수록 상기 제 1 성분의 함량은 줄어들고, 제 2 성분의 함량은 증가된다. 이는 상기 기능성 박막(20)의 외광 흡수효과를 높이기 위한 것으로, 즉, 이 기능성 박막(20)에서 빛의 반사율을 줄이기 위한 것이다.

<55> 박막의 광 반사율을 줄이기 위해서는 기판과 박막의 굴절률의 차이가 적을수록 유리하며, 기판과 박막의 굴절률이 같아지면 반사는 전혀 일어나지 않게 된다. 따라서, 기판과 바로 인접한 부분에는 기판과 굴절율이 근접한 투명한 절연물질로 제 1 성분을 형성하는 것이 바람직하다. 이와 같은 원리에 의해 인접한 층과 굴절율이 거의 근접한 층으로 순차로 적층해 나가면, 즉, 도 6과 같이 상기 기능성 박막(20)의 두께에 따라 흡광계수가 점차적으로 증가하도록 박막을 형성하면 박막을 통과하는 빛의 양이 점차적으로 감소해 일정 두께 이상에서는 빛의 반사를 차단할 수 있게 된다. 따라서, 이러한 기능성 박막은 디스플레이 장치의 블랙 매트릭스(black matrix)로서의 기능을 수행할 수 있는 것이다.

<56> 상기와 같은 기능성 박막에서 투명한 물질의 제 1 성분 중 절연성 물질인 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등은 일반적으로 사용되는 글래스 기판과 조성이 유사하여 굴절률을 비롯한 제반 특성이 유사하기 때문에 바람직하고, 또한, 금속 물질의 제 2 성분으로 사용되는 Fe, Co, V, Ti, Al, Ag, Si, Ge, Y, Zn, Zr, W, Ta, Cu 및 Pt로 이루어진 군에서 선택되는 하나 이상의 금속은 흡광계수가 크기 때문에 바람직하다. 물론 상기 제 1 성분으로 In

ZnO , ITO(Indium tin Oxide), IZO(Indium Zinc Oxide), ZnO 등과 같은 투명한 도전물질 등을 사용하여도 무방하다. 한편, 상기 제 2 성분에는 후속 공정에서 비정질 실리콘 박막을 결정화시킬 수 있도록 적어도 실리콘 결정화 촉매 물질이 함유해, 상기 기능성 박막(20)의 상부에 이 실리콘 결정화 촉매 물질이 함유되도록 하는 것이 바람직한데, 이때, 상기 실리콘 결정화 촉매 물질로는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속을 사용할 수 있으며, 바람직하게는 Ni이나 Pd를 사용할 수 있다.

<57> 상기와 같은 기능성 박막은 박막의 두께에 따라 굴절을 뿐 아니라 전기 전도도가 점진적으로 변하도록 함으로써 박막의 효용가치를 극대화할 수 있다. 박막의 두께를 따라, 즉 기판과 접하는 면으로부터 반대 면을 향해 갈수록 금속 함량이 증대되어 전기전도도가 점진적으로 증가되도록 하면, 외광 반사율이 최소화되면서 전기 전도성이 큰 광학 구조체를 실현할 수 있게 된다. 이와 같은 구조체는 전자파 차폐재나 디스플레이 장치의 외광 흡수층에 사용되는 경우 전자의 전하축적을 효과적으로 방지할 수 있다. 또한, 상기와 같은 금속 물질의 제 2 성분은 후술하는 바와 같이 비정질 실리콘의 결정화 촉매로서 사용될 수 있다.

<58> 상기와 같은 기능성 박막(20)은, 통상의 박막 형성 방법을 사용하여 제조할 수 있는데, 예를 들면 스퍼터링, 진공증착, PVD, CVD 등의 방법으로 제조할 수 있다.

<59> 바람직한 일 실시예로서, 스퍼터링의 경우를 예로 들면 제 1 성분 중 투명 절연물질은 RF 마그네트론 스퍼터링을 이용할 수 있고, 금속을 포함하는 제 2 성분은 RF 또는 DC 스퍼터링을 이용할 수 있다. 스퍼터링 장치는 펌핑 시스템을 갖춘 진공챔버, 진공

챔버 내에 위치한 마그네트론 캐소드, 마그네트론 위에 위치한 타겟(제 1 성분 및 제 2 성분), 마그네트론 방출을 위한 Ar 가스 도입 시스템으로 구비될 수 있다.

<60> 즉, 먼저 투명 절연물질을 포함하는 제 1 타겟에 RF 파워를 인가하여 기판에 SiO를 증착시키기 시작하고 점차적으로 RF 파워를 감소시키면서 금속을 포함하는 제 2 성분이 가해지는 RF 또는 DC 파워를 점차적으로 증가시킴으로써 제 1 성분과 제 2 성분이 상대적인 농도 구배를 갖는 기능성 박막을 기판 상에 형성할 수 있다.

<61> 이는 또한 진공 열증착에 의해 형성할 수 있는 데, 즉, 제 1 성분과 제 2 성분의 혼합물이 들어 있는 증착보트의 온도를 변화시키면서 진공열증착을 실시한다. 이 때 증착보트의 온도를 변화시키기 위해서는 증착보트에 인가되는 전압을 서서히 높여가는 방법을 사용한다. 시간이 경과됨에 따라 증착온도를 서서히 증가시키면 제 1 성분이 먼저 증착되기 시작하고, 이보다 높은 온도에서는 제 1 성분과 제 2 성분 2가지 성분이 동시에 증착되며, 최종적으로 가장 높은 온도에서는 더 이상의 제 1 성분이 남아 있지 않게 되어 순수하게 금속 물질인 제 2 성분만이 증착된다. 그 결과 도 5에 도시된 바와 같이 제 1 성분(I)은 기판으로부터 멀어질수록 점진적으로 감소하는 분포로 존재하며 제 2 성분(II)은 기판으로부터 멀어질수록 점진적으로 증가하는 분포로 존재하는 기능성 박막을 형성할 수 있는 것이다.

<62> 이렇게 기능성 박막(20)을 도 2a와 같이 형성하면, 기판(10)에 가까운 부분에는 제 1 성분의 함량이 높고, 기판(10)으로부터 먼 기능성 박막(20)의 상부층에는 제 2 성분의 함량이 높다. 이 때, 상기 기능성 박막(20)의 상부층에는 적어도 실리콘 결정화 촉매 물질이 함유된 금속 성분인 제 2 성분으로 형성되므로, 후속 공정인 비정질 실리콘의 결정화 공정에서 상기 제 2 성분에 함유되어 있는 결정화 촉매 물질이 비정질 실리콘의

결정화를 유도할 수 있게 된다. 그리고, 이러한 비정질 실리콘의 결정화 유도를 촉진시키기 위하여 본 발명의 바람직한 다른 일 실시예에 따르면, 도 2a와 같이 기능성 박막(20)의 상부로 상기 실리콘 결정화 촉매 물질로 이루어진 결정화 박막(21)을 부가적으로 더 형성할 수 있다. 본 발명의 바람직한 또 다른 일 실시예에 따르면, 상기 기능성 박막(20)의 상부에 실리콘 결정화 촉매 물질을 함유시키지 않은 상태에서 상기 결정화 박막(21)을 부가적으로 형성할 수도 있다.

<63> 상기와 같이 기능성 박막(20)을 형성한 후에는 도 2b에서 볼 수 있듯이, 상기 기능성 박막(20)을 패터닝한다. 만일 상술한 바와 같이 기능성 박막(20)의 상부로 결정화 박막(21)을 더 형성한 경우에는 이 결정화 박막(21)도 동일한 패턴으로 패터닝한다.

<64> 기능성 박막(20)의 패터닝은 포토 리소그래피법 등 통상의 패터닝 방법의 어떠한 방법으로든 패터닝할 수 있다. 그런데, 이러한 패터닝 공정에서 상기 기능성 박막은 그 조성이 두께에 따라 연속적으로 변하기 때문에 패터닝된 면에는 소정의 경사가 형성된다. 이는 에칭 시 유전성 물질인 제 1 성분에 대한 에칭액과 금속 물질인 제 2 성분에 대한 에칭액의 식각율이 차이가 나는 점에서 기인된 것으로, 대개 그 경사도는 두께에 비해 약 4~5배에 달한다. 즉, 상기 기능성 막(20)을 3000Å 정도로 형성하였을 경우 약 1 내지 1.5 μm 정도가 경사면을 이루게 된다. 따라서, 도 2b의 패터닝된 경계부근인 "III" 부분은 도 3에서 볼 수 있듯이 기판(10)을 향하여 더 근접되는 경사면을 이루게 된다.

<65> 따라서, 패터닝에 의해 상기 기능성 박막(20)은 도 2b와 같이, 패턴이 형성되지 않은 영역, 즉 식각되지 않은 영역(D)과, 패턴이 된 영역, 즉, 식각된 영역(C)로 구획될 뿐 아니라, 도 3과 같이 패터닝된 영역(C)과 패터닝되지 않은 영역(D)의 사이에 상부층이 더 많이 식각된 중간 영역(E)이 존재하게 된다.

<66> 한편, 상기와 같은 패터닝에 의해 기능성 박막(20)의 패터닝된 영역, 즉, 식각된 영역(C)에서는 막의 상부층이 모두 식각되어 하부의 제 1 성분만으로 된 제 1 박막(22)만이 남게 되어 버퍼층으로서의 기능을 겸비할 수 있게 되고, 상기 중간 영역(E)에서는 패터닝되지 않은 영역(D)으로부터 패터닝된 영역(C)을 향하여 제 2 성분이 점차로 감소되도록 존재하게 된다. 본 발명의 또 다른 일 실시예에 따르면, 상기와 같이 기능성 박막(20)의 최하부층에 형성되어 있는 제 1 성분으로만 구비된 제 1 박막(22)을 버퍼층으로 사용하는 대신 상기와 같이 기능성 박막을 형성하기 전에 기판에 형성한 $\text{SiO}_x(x \geq 1)$ 또는 $\text{SiN}_x(x \geq 1)$ 로 이루어진 버퍼층을 구비하여 기판으로부터의 알칼리 금속 오염을 방지할 수 있다.

<67> 그리고, 이는 도 3에서 볼 수 있듯이, 기능성 박막(20)의 상부층에 결정화 박막(21)을 형성한 경우에도 동일하게 적용되는 데, 즉, 상기 중간 영역(E)에서 결정화 박막(21)은 패터닝되지 않은 영역(D)으로부터 패터닝된 영역(C)을 향하여 점차로 없어지는 모양을 갖게 된다.

<68> 상기와 같이 패터닝을 실시한 후에 그 상면으로 도 2c 와 같이 비정질 실리콘 박막(30)을 증착한 후 열처리를 통해 결정화 공정을 진행시킨다. 열처리를 통한 결정화 공정은 박막 트랜지스터의 채널 영역의 크기를 얼마로 할지에 따라 다양하게 달라질 수 있는 것으로, 실리콘 결정화 촉매 금속으로 Ni을 사용할 경우에 500°C 에서 10시간 정도면 충분하다. 성장속도는 550°C 의 경우 $3\mu\text{m}/\text{hour}$ 정도가 된다.

<69> 이렇게 결정화가 진행되면 패터닝되지 않은 영역(D)은 기능성 박막(20) 상부의 제 2 성분에 포함되어 있는 실리콘 결정화 촉매 물질이나, 기능성 박막(20) 상부층인 결정화 박막(21)으로부터 직접적으로 결정화가 유도되어 MIC영역으로 결정화되고, 패터닝된

영역(C)은 기능성 박막(20) 상부의 제 2 성분이나 결정화 박막(21)이 제거된 상태이므로 상기 MIC 영역으로부터 측면 결정화가 유도되어 MILC 영역으로 결정화된다.

<70> 또한, 이 MIC 영역과 MILC 영역의 경계부근(IV)에서는 기능성 박막(20)이 경사진 구조를 가지므로, 도 4에서 볼 수 있듯이, MIC영역과 MILC 영역이 공존하는 상태가 된다. 즉, 도 4에서 중간 영역(E)에서는 패턴되지 않은 영역(D)에 가까운 부분에서는 상부에 실리콘 결정화 촉매 물질이 남아 있어 이로부터 직접 결정화가 진행되어 MIC 영역(31)으로 결정화되고, 패턴된 영역(C)에 가까운 부분에서는 실리콘 결정화 촉매 물질이 남아 있지 않게 되어 MILC 영역으로 결정화되어 MIC 및 MILC의 혼합영역(33)으로 존재하게 된다. 뿐만 아니라, 이 혼합영역에서는 상기 기능성 박막(20)의 제 1 성분과 제 2 성분, 두께에 따라 점진적으로 농도가 변하도록 형성되어 있기 때문에 MIC 영역으로부터 MILC 영역으로 점진적으로 변해가도록 할 수 있게 된다.

<71> 상기와 같이, 실리콘 박막의 결정화 방법을 이용하여 비정질 실리콘 박막을 다결정 실리콘(poly-Si) 박막으로 결정화한 후에는 상기 실리콘 박막을 이용해 박막 트랜지스터를 형성한다.

<72> 상기 박막 트랜지스터는 채널 영역과, 이 채널영역의 양단부에 고농도 불순물이 도핑되는 소스 및 드레인 영역을 갖는 반도체 활성층과, 상기 반도체 활성층의 상부에 게이트 절연막을 개재하여 형성되는 게이트 전극으로 구비된다.

<73> 상기 반도체 활성층은 결정화한 다결정 실리콘 박막에 구비되는 것으로, 도 4에서 볼 때, 패턴된 영역(C)인 MILC 영역(32)이 채널 영역이 되며, 이 MILC 영역(32)의 양단부의 패턴되지 않은 영역(D) 및 중간 영역(E)인 MIC 영역(31) 및 MIC와 MILC의 혼합 영역(33)이 각각 소스 및 드레인 영역이 된다. 따라서, 상기 반도체 활성층 중 적어도 소

스 및 드레인 영역과 기판(10)과의 사이에는 외광 흡수층, 즉, 블랙 매트릭스가 개재된 형태가 된다. 물론 상기 채널 영역과 기판과의 사이에도 기능성 박막(20)은 여전히 존재하나, 채널 영역이 되는 MILC영역(32)의 하부에 있는 기능성 박막(20)은 투명한 제 1성분만이 남아있으므로, 빛을 차단하는 블랙 매트릭스로서의 기능을 구비하기는 힘들다.

<74> 이렇게 다결정 실리콘 박막의 반도체 활성층을 형성한 후에는 그 상부로 게이트 절연막을 형성하고, 게이트 전극을 형성한다. 게이트 절연막과 게이트 전극을 형성한 후에는 상기 소스 및 드레인 영역에 고농도 불순물 이온을 도핑한다.

<75> 상술한 바와 같은 박막 트랜지스터에 있어서, 본 발명의 바람직한 일 실시예에 따르면, 상기 게이트 전극의 상부로 중간 절연막을 형성한 후 콘택 홀을 천공해 소스 및 드레인 전극을 형성하고, 다시 패시베이션 막을 형성한 후 화소 전극을 드레인 전극과 연통시킬 수 있다. 이 화소 전극은 화소의 제 1 전극이 된다. 이러한 공정이 끝난 후에는 최종적으로 평탄화막을 상부에 형성시킬 수 있다. 그러나, 반드시 이에 한정되는 것은 아니며, 소스 및 드레인 전극은 다양한 형태로서 실시 가능하다.

<76> 상기와 같은 박막 트랜지스터의 제조방법은 디스플레이 소자의 특성에 따라 다양하게 변형 실시 가능한 데, 즉, 상기 다결정 실리콘 박막 상으로 다양한 방법에 의해 박막 트랜지스터를 제조할 수 있는 것이다.

<77> 상기와 같은 제조방법에 있어서, 상기 박막 트랜지스터가 배면 발광형의 디스플레이 소자에 채용될 경우에는 상기 다결정 실리콘 박막의 MILC 영역의 형성하기 위한, 즉, 반도체 활성층의 채널영역을 형성하기 위한 기능성 박막의 패터닝 공정은 화소 영역을 개구시키기 위해 화소 영역에 대응되는 블랙 매트릭스의 영역을 패터닝시키는 공정과 동시에 행해질 수 있어서 공정 수를 단축시킬 수 있게 된다.

- <78> 따라서, 상술한 바와 같은 비정질 실리콘의 결정화 방법은 디스플레이 소자에 일반적으로 사용되고 있는 블랙 매트릭스인 Cr/CrO_x의 박막을 이용할 수도 있다.
- <79> 도 7a 내지 도 7c에는 본 발명의 바람직한 또 다른 일 실시예에 따른 비정질 실리콘의 결정화 방법을 나타낸 것이다.
- <80> 우선, 절연 기판(10)상에 CrO_x($x \geq 1$)로 구비된 제 1막(40a)을 형성하고, 그 상부로 Cr으로 구비된 제 2막(40b)을 형성하여 기능성 박막(40)을 형성토록 한다. 이 기능성 박막(40)은 블랙 매트릭스로 사용될 수 있는 것이다. 상기 기능성 박막(40)에는 그 상부층으로 Cr으로 이루어진 제 2막(40b)이 구비되므로, 별도의 결정화 박막층을 더 형성하지 않아도 무방하나, 상기 Cr보다 결정화의 유도 효과가 더 뛰어난 Ni이나 Pb 등의 실리콘 결정화 촉매 물질을 제 2막(40b)의 상부로 더 함유시키거나, 제 2막(40b)의 상면에 상기 실리콘 결정화 촉매 물질로 구비된 결정화 박막(41)을 더 형성할 수 있다. 그리고, 상기 기판(10)의 상부, 즉, 기판(10)과 제 1막(40a)의 사이에는 SiO_x($x \geq 1$)나 SiN_x($x \geq 1$)로 별도의 버퍼층을 더 형성할 수 있다.
- <81> 이렇게 기능성 박막(40)을 형성한 후에는 도 7b에서 볼 수 있듯이, 상기 기능성 박막(40)에 패터닝을 실시한다. 물론, 상기 기능성 박막(40)이 디스플레이 장치의 외광 흡수층으로 사용될 경우에는 상기 기능성 박막(40)의 패터닝은 화소 영역에 대한 외광 흡수층의 패터닝 공정과 동시에 이루어질 수 있어 공정수를 단축할 수 있는 효과는 동일하게 얻을 수 있다.
- <82> 상기와 같은 패터닝 공정에 의해 기능성 박막(40)은 패터닝된 영역(C)과 패터닝되지 않은 영역(D)으로 구분된다. 이 때, 패터닝된 영역(C)과 패터닝되지 않은 영역(D)의 경계부근에서는 상술한 실시예에서와 같이 기능성 박막(40) 자체가 두께에 따른 농도구배를 갖는

것이 아니므로 매우 완만한 경사면을 형성하지는 않지만, $\text{CrO}_x(x \geq 1)$ 의 제 1 박막(40a)과 Cr의 제 2 박막(40b)의 식각율 차이로 인한 단차는 존재할 수 있으며, 뿐만 아니라, 인위적으로 단차가 존재하도록 할 수도 있다.

<83> 다음으로, 도 7c와 같이 상기 패터닝된 기능성 박막(40)의 상부로 비정질 실리콘 박막(50)을 형성한 후 열처리를 시행하면, 상기 패터닝되지 않은 영역(D)의 상부에 존재하는 제 1 박막(40b)의 Cr 성분이나 실리콘 결정화 촉매 물질 또는 결정화 박막(41)으로부터 비정질 실리콘 박막(50)으로 금속 유도 결정화가 진행되어 MIC 영역(51)의 결정 성장이 진행되고, 패터닝된 영역(C)으로는 상기 MIC 영역(51)으로부터 결정화가 진행되어 MILC 영역(52)의 결정 성장이 진행된다. 따라서, 이 경우에는 상술한 실시예에서와 같이 MIC와 MILC의 혼합 영역은 존재하지 않게 된다. 그러나, 패터닝된 영역(C)과 패터닝되지 않은 영역(D)의 경계부근에 단차가 존재할 경우에는 이 단차로부터 어느 정도의 혼합 영역은 존재할 수 있다.

<84> 상기와 같이 제조된 다결정질 실리콘 박막에는 MILC 영역(52)의 중간 부분에 채널 영역을 형성하고, 이 MILC 영역(52)의 단부와 MIC 영역(51)으로 소스 및 드레인 영역을 형성하여 반도체 활성층을 형성한 후, 그 상부로 게이트 절연막 및 게이트 전극을 형성한다. 게이트 절연막과 게이트 전극을 형성한 후에는 상기 소스 및 드레인 영역에 고농도 불순물 이온을 도핑하는 등 상술한 방법에 따라 박막 트랜지스터를 제조한다.

<85> 본 발명에 따르면, 비록 도면으로 나타내지는 않았지만, 상기와 같은 Cr/CrO_x의 혼합형 블랙 매트릭스 Cr 또는 CrO_x의 단독층을 형성된 블랙 매트릭스를 사용할 수도 있으며, 통상 사용되는 흑연계 블랙 매트릭스를 사용할 수도 있다. 물론 이 때에는 상기 블랙 매트릭스의 상부에 상기 실리콘 결정화 촉매 물질을 함유시키거나, 실리콘 결정화

촉매 물질로 이루어진 결정화층을 더 구비시켜야 한다. 또한, 상기 흑연계 블랙 매트릭스를 사용할 때에는 결정화 열처리 온도에서 변성되지 않도록 내열 특성이 우수해야 한다.

<86> 이상 설명한 바와 같은 본 발명에 따라 제조된 박막 트랜지스터는 액정 디스플레이 소자, 유기 전계 발광 디스플레이 소자 및 무기 전계 발광 디스플레이 소자 등 다양한 평판 디스플레이 소자에 장착될 수 있다.

<87> 도 8에는 이 중, 상기 박막 트랜지스터가 AM(Active Matrix) 타입의 유기 전계 발광 디스플레이 소자(AMOLED: Active Matrix Organic Light Emitting Display)에 장착된 실시예를 나타내 보였다.

<88> 도시된 바와 같이 투명한 기판(100)에는 각각 화소와 이의 형성을 위한 투명전극을 가지는 화소영역(200)과, 박막 트랜지스터(TFT)와 캐패시터가 형성된 구동영역(300)이 형성된다. 상기 기판(100)의 상면에는 $\text{SiO}_x(x \geq 1)$ 나 $\text{SiN}_x(x \geq 1)$ 로 이루어진 버퍼층(미도시)이 더 형성될 수 있다.

<89> 상기 구동영역(300)은 기판(100)의 상면에 소정의 패턴으로 배열된 다결정질 실리콘 박막의 반도체 활성층(302)이 게이트 절연층(303)에 의해 매립되고, 상기 게이트 절연층(303)의 상면에는 상기 반도체 활성층(302)과 대응되는 게이트 전극층(304)과 이를 매립하는 중간 절연막(305)이 형성된다. 그리고, 상기 중간 절연막(305)과 게이트 절연층(303)에 콘택홀(306a)(307a)이 형성되어 이를 통하여 중간 절연막(305)의 상부에 형성된 드레인 전극(306) 및 소스전극(307)을 반도체 활성층(302)의 드레인 영역(302b) 및 소스 영역(302c)에 각각 연결한다. 상기 소스전극(307)에는 상기 중간 절연막(305)의

상면에 형성된 제1전극(311)이 연결되고, 이 제1전극과 대향되며 중간 절연층(305)에 매립되는 제2전극(312)이 캐패시터(310)를 이룬다.

<90> 이렇게 형성된 박막 트랜지스터와 캐패시터의 상부로는 패시베이션 막(308)이 형성되고, 화소 형성영역(200)에 개구부가 형성된 평탄화막(309)이 형성된다. 상기 평탄화막(309)의 개구부의 저면에는 상기 드레인 전극(306)과 전기적으로 연결된 투명 전극(202)이 형성되고, 이 투명전극(202)의 상부에는 유기막(204)이 적층되며, 상기 유기막과 평탄화막의 상부에는 캐소드 전극층(206)이 형성된다.

<91> 한편, 상기와 같은 디스플레이 소자에 있어서, 기판(100)의 상부층에는 외광의 반사를 차단하는 블랙 매트릭스층(110)이 더 형성되는 데, 그림에서 볼 수 있듯이, 이 블랙 매트릭스층(110)은 화소 영역(200)에 해당되는 부분(112)은 패터닝되어 개구되어 있으며, 실리콘 박막으로 이루어진 반도체 활성층(302)의 채널 영역(302a)에 해당되는 부분(114)도 패터닝되어 개구되어 있다. 상기 화소 영역(200)에 해당되는 부분(112)은 화소의 개구를 위한 것이고, 상기 채널 영역(302a)에 해당되는 부분(114)은 상술한 바와 같이, 실리콘 박막의 채널(302a)을 MILC 영역으로 결정화시키기 위한 것이다. 따라서, 이렇게 동일 평면 상에서의 패터닝을 단일의 공정으로 동시에 이룰 수 있어 공정 수를 단축시킬 수 있는 효과를 갖는다.

【발명의 효과】

<92> 상기한 바와 같은 본 발명에 따르면, 블랙 매트릭스층을 이용하여 보다 간단한 공정으로 비정질 실리콘 박막을 결정화할 수 있고, 채널영역을 MILC 영역으로만 하기 위하여 행해졌던 복잡한 공정들을 생략할 수 있게 된다.

<93> 또한, MILC 영역의 형성을 위한 블랙 매트릭스층의 패터닝 공정을 디스플레이 소자의 블랙 매트릭스층에 대한 다른 패터닝 공정과 동시에 행할 수 있어, 공정수를 줄일 수 있다.

<94> 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

【특허 청구범위】**【청구항 1】**

절연 기판 상에 외광을 흡수할 수 있는 블랙 매트릭스층을 형성하되, 상기 블랙 매트릭스층의 상부는 실리콘 결정화 촉매물질을 함유하도록 형성하는 공정;

상기 블랙 매트릭스층을 패터닝하는 공정;

상기 절연 기판 및 블랙 매트릭스층의 상부로 비정질 실리콘 박막을 형성하는 공정; 및

상기 비정질 실리콘 박막을 열처리해 결정화하는 공정;을 포함하여 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 2】

제 1 항에 있어서,

상기 블랙 매트릭스층은 상기 절연 기판으로부터 투명한 물질인 제 1 성분과, 금속 물질인 제 2 성분이 순차로 구비된 기능성 박막이되, 상기 제 1 성분과 제 2 성분은 농도구배를 갖도록 존재하는 전이층을 포함하며, 상기 제 1 성분은 상기 절연 기판에 가까워질수록 그 함량이 증가하고, 상기 제 2 성분은 상기 절연 기판으로부터 멀어질수록 그 함량이 증가하도록 형성되는 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 3】

제 2항에 있어서,

상기 제 1 성분은 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과 같은 투명한 절연물질로 이루어진 군 및 ITO(Indium tin Oxide), IZO(Indium Zinc Oxide), ZnO ,

In_2O_3 등과 같은 투명한 도전물질로 이루어진 군 중 적어도 어느 하나의 군에서 선택되는 적어도 하나 이상의 투명한 물질로 구비된 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 4】

제 3 항에 있어서,

상기 제 2 성분은 Fe, Co, V, Ti, Al, Ag, Si, Ge, Y, Zn, Zr, W, Ta, Cu, Pt로 이루어진 군으로부터 선택된 적어도 하나 이상의 금속 물질로 구비된 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 5】

제 1 항에 있어서,

상기 블랙 매트릭스층은 $\text{CrO}_x(x \geq 1)$ 로 구비된 박막이거나, Cr으로 구비된 박막인 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 6】

제 1 항에 있어서,

상기 블랙 매트릭스층은 상기 절연기판 상에 $\text{CrO}_x(x \geq 1)$ 로 구비된 제 1박막과, 상기 제 1 박막의 상부로 Cr으로 구비된 제 2 박막을 갖는 기능성 박막인 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 7】

제 1항에 있어서,

상기 블랙 매트릭스층은 평판 디스플레이 소자의 블랙 매트릭스층이고, 상기 블랙 매트릭스층의 패터닝 공정은 상기 평판 디스플레이 소자의 화소 영역에 대응하는 상기 블랙 매트릭스에 대한 패터닝 공정과 동시에 이루어지도록 하는 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 8】

제 1항 내지 제 7항 중 어느 한 항에 있어서,

상기 실리콘 결정화 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 9】

절연 기판 상에 외광을 흡수할 수 있는 블랙 매트릭스층을 형성하는 공정;

상기 블랙 매트릭스층의 상부로 실리콘 결정화 촉매 물질로 구비된 결정화 박막을 형성하는 공정;

상기 블랙 매트릭스층 및 상기 결정화 박막을 패터닝하는 공정;

상기 절연 기판 및 결정화 박막의 상부로 비정질 실리콘 박막을 형성하는 공정;

및

상기 비정질 실리콘 박막을 열처리해 결정화하는 공정;을 포함하여 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 10】

제 9 항에 있어서,

상기 블랙 매트릭스층은 상기 절연 기판으로부터 투명한 물질인 제 1 성분과, 금속 물질인 제 2 성분이 순차로 구비된 기능성 박막이되, 상기 제 1 성분과 제 2 성분은 농도구배를 갖도록 존재하는 전이층을 포함하며, 상기 제 1 성분은 상기 절연 기판에 가까워질수록 그 함량이 증가하고, 상기 제 2 성분은 상기 절연 기판으로부터 멀어질수록 그 함량이 증가하도록 형성되는 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 11】

제 10 항에 있어서,

상기 제 1 성분은 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과 같은 투명한 절연물질로 이루어진 군 및 ITO(Indium tin Oxide), IZO(Indium Zinc Oxide), ZnO , In_2O_3 등과 같은 투명한 도전물질로 이루어진 군 중 적어도 어느 하나의 군에서 선택되는 적어도 하나 이상의 투명한 물질로 구비된 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 12】

제 11 항에 있어서,

상기 제 2 성분은 Fe, Co, V, Ti, Al, Ag, Si, Ge, Y, Zn, Zr, W, Ta, Cu, Pt로 이루어진 군으로부터 선택된 적어도 하나 이상의 금속 물질로 구비된 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 13】

제 9 항에 있어서,

상기 블랙매트릭스층은 $\text{CrO}_x(x \geq 1)$ 로 구비된 박막이거나, Cr으로 구비된 박막인 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 14】

제 9 항에 있어서,

상기 블랙매트릭스층은 상기 절연기판 상에 $\text{CrO}_x(x \geq 1)$ 로 구비된 제 1박막과, 상기 제 1 박막의 상부로 Cr으로 구비된 제 2 박막을 갖는 기능성 박막인 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 15】

제 9 항에 있어서,

상기 블랙 매트릭스층은 평판 디스플레이 소자의 블랙 매트릭스층이고, 상기 블랙 매트릭스층 및 결정화 박막의 패터닝 공정은 상기 평판 디스플레이 소자의 화소 영역에 대응하는 상기 블랙 매트릭스에 대한 패터닝 공정과 동시에 이루어지도록 하는 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 16】

제 9 항 내지 제 15항 중 어느 한 항에 있어서,

상기 실리콘 결정화 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 것을 특징으로 하는 실리콘 박막의 결정화 방법.

【청구항 17】

절연 기판 상에 위치하여 채널 영역과, 상기 채널 영역의 양단부에 고농도 불순물이 도핑된 소스 및 드레인 영역을 갖는 것으로, 적어도 상기 채널 영역은 MILC 영역으로 형성된 반도체 활성층;

상기 반도체 활성층의 적어도 상기 소스 및 드레인 영역과 상기 절연 기판과의 사이에 개재되고, 그 상부는 실리콘 결정화 촉매물질을 포함한 블랙 매트릭스층; 및

상기 채널 영역 상에 게이트 절연막을 개재하여 형성된 게이트 전극;을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터.

【청구항 18】

제 17 항에 있어서,

상기 블랙 매트릭스층은 상기 절연 기판으로부터 투명한 물질인 제 1 성분과, 금속 물질인 제 2 성분이 순차로 구비된 기능성 박막이되, 상기 제 1 성분과 제 2 성분은 농도구배를 갖도록 존재하는 전이층을 포함하며, 상기 제 1 성분은 상기 절연 기판에 가까워질수록 그 함량이 증가하고, 상기 제 2 성분은 상기 절연 기판으로부터 멀어질수록 그 함량이 증가하도록 구비된 것을 특징으로 하는 박막 트랜지스터.

【청구항 19】

제 18항에 있어서,

상기 제 1 성분은 $\text{SiO}_x(x \geq 1)$, $\text{SiN}_x(x \geq 1)$, MgF_2 , CaF_2 , Al_2O_3 , SnO_2 등과 같은 투명한 절연물질로 이루어진 군 및 ITO(Indium tin Oxide), IZO(Indium Zinc Oxide), ZnO ,

In₂O₃ 등과 같은 투명한 도전물질로 이루어진 군 중 적어도 어느 하나의 군에서 선택되는 적어도 하나 이상의 투명한 물질로 구비된 것을 특징으로 하는 박막 트랜지스터.

【청구항 20】

제 19 항에 있어서,

상기 제 2 성분은 Fe, Co, V, Ti, Al, Ag, Si, Ge, Y, Zn, Zr, W, Ta, Cu, Pt로 이루어진 군으로부터 선택된 적어도 하나 이상의 금속 물질로 구비된 것을 특징으로 하는 박막 트랜지스터.

【청구항 21】

제 17 항에 있어서,

상기 블랙 매트릭스층은 CrO_x($x \geq 1$)로 구비된 박막이거나, Cr으로 구비된 박막인 것을 특징으로 하는 박막 트랜지스터.

【청구항 22】

제 17 항에 있어서,

상기 블랙 매트릭스층은 상기 절연기판 상에 CrO_x($x \geq 1$)로 구비된 제 1박막과, 상기 제 1 박막의 상부로 Cr으로 구비된 제 2 박막을 갖는 기능성 박막인 것을 특징으로 하는 박막 트랜지스터.

【청구항 23】

제 17 항 내지 제 22항 중 어느 한 항에 있어서,

상기 실리콘 결정화 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 것을 특징으로 하는 박막 트랜지스터.

【청구항 24】

제 17 항 내지 제 22항 중 어느 한 항에 있어서,

상기 블랙 매트릭스층은 상기 소스 및 드레인 영역에서 채널 영역의 방향을 향하여 상기 기판에 근접되도록 경사진 것을 특징으로 하는 박막 트랜지스터.

【청구항 25】

제 24 항에 있어서,

상기 소스 및 드레인 영역은 상기 채널 영역으로부터 MILC 및 MIC의 혼합 영역과 MIC 영역이 순차로 형성된 것을 특징으로 하는 박막 트랜지스터.

【청구항 26】

제 17 항 내지 제 22 항 중 어느 한 항에 있어서,

상기 반도체 활성층의 소스 및 드레인 영역과 상기 블랙 매트릭스층의 사이에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 상기 실리콘 결정화 촉매 물질로 구비된 박막이 개재된 것을 특징으로 하는 박막 트랜지스터.

【청구항 27】

절연 기판 상에 매트릭스 형태로 배열된 화소부와, 상기 화소부의 주위로 적어도 하나의 박막 트랜지스터를 구비한 평판 디스플레이 소자에 있어서,

상기 박막 트랜지스터는,

상기 절연 기판 상에 위치하여 채널 영역과, 상기 채널 영역의 양단부에 고농도 불순물이 도핑된 소스 및 드레인 영역을 갖는 것으로, 적어도 상기 채널 영역은 MILC 영역으로 형성된 반도체 활성층;

상기 반도체 활성층의 상기 채널 영역 상부에 게이트 절연막을 개재하여 형성된 게이트 전극;

상기 게이트 절연막과 절연 기판의 사이 및 상기 반도체 활성층의 적어도 상기 소스 및 드레인 영역과 상기 절연 기판의 사이에 각각 개재되고, 상기 화소부에 대응되는 부분이 개구된 블랙 매트릭스층;

상기 게이트 전극 및 게이트 절연막의 상부에 형성된 중간 절연막;

상기 중간 절연막의 상부에 형성되고, 상기 반도체 활성층의 소스 및 드레인 영역과 각각 연결된 소스 및 드레인 전극; 및

상기 중간 절연막, 소스 및 드레인 전극의 상부에 형성되고, 상기 드레인 전극과 상기 화소부의 어느 한 전극이 연결되도록 하는 패시베이션막;을 포함하여 이루어진 것을 특징으로 하는 평판 디스플레이 소자.

【청구항 28】

제 27항에 있어서,

상기 블랙 매트릭스층은 상기 소스 및 드레인 영역에서 채널 영역의 방향을 향하여 상기 기판에 근접되도록 경사진 것을 특징으로 하는 평판 디스플레이 소자.

【청구항 29】

제 28 항에 있어서,

상기 소스 및 드레인 영역은 상기 채널 영역으로부터 MILC 및 MIC의 혼합 영역과 MIC 영역이 순차로 형성된 것을 특징으로 하는 평판 디스플레이 소자.

【청구항 30】

제 27 항 내지 제 29항 중 어느 한 항에 있어서,

상기 블랙 매트릭스층의 상기 반도체 활성층을 향한 상부에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 상기 실리콘 결정화 촉매 물질이 함유되어 있는 것을 특징으로 하는 평판 디스플레이 소자.

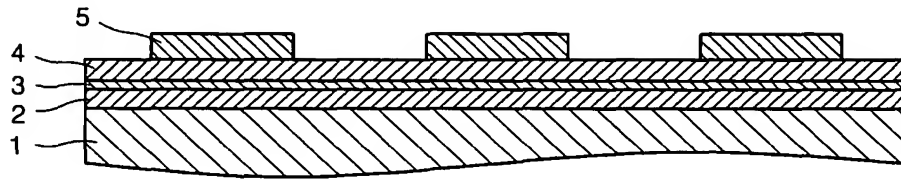
【청구항 31】

제 27 항 내지 제 29항 중 어느 한 항에 있어서,

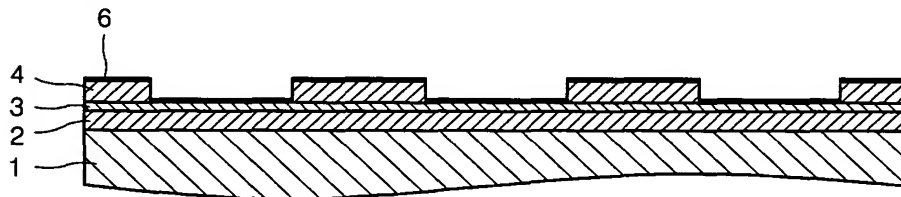
상기 반도체 활성층의 소스 및 드레인 영역과 상기 블랙 매트릭스층의 사이에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, Pt 로 이루어진 군으로부터 선택된 하나 이상의 금속 물질로 이루어진 상기 실리콘 결정화 촉매 물질로 구비된 박막이 개재된 것을 특징으로 하는 평판 디스플레이 소자.

【도면】

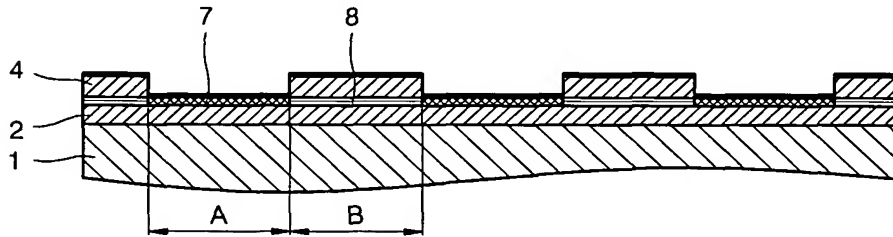
【도 1a】



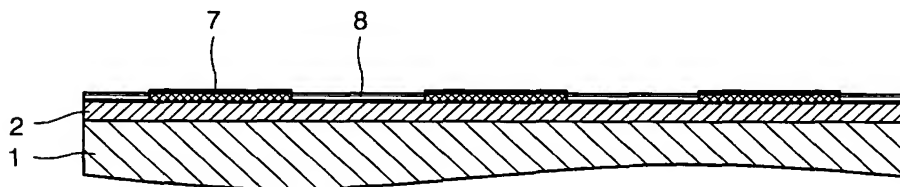
【도 1b】



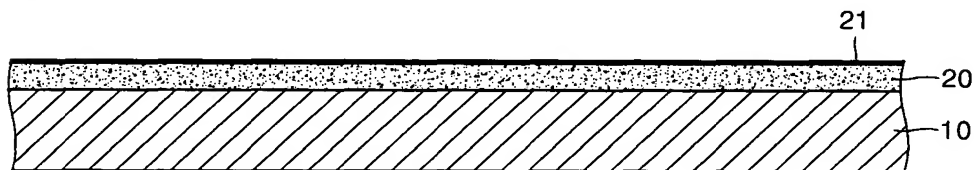
【도 1c】



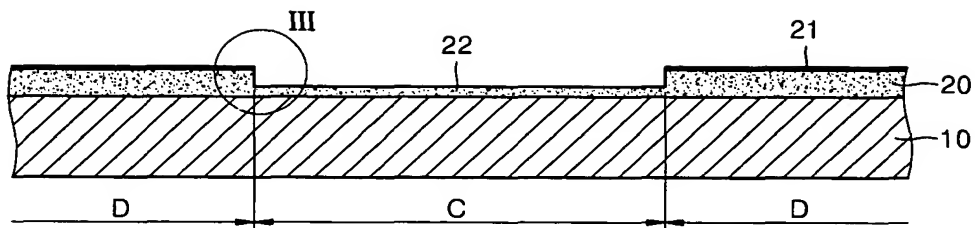
【도 1d】



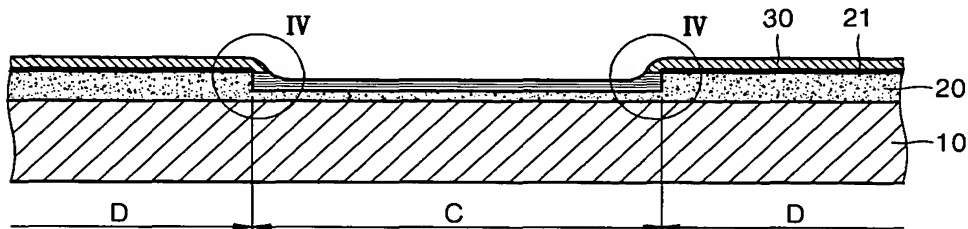
【도 2a】



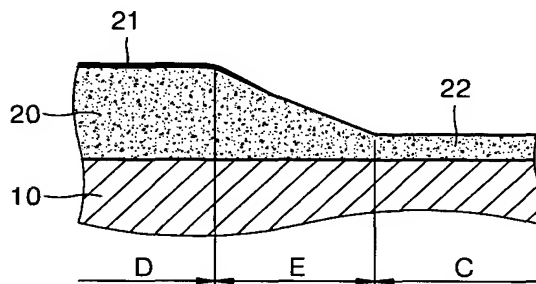
【도 2b】



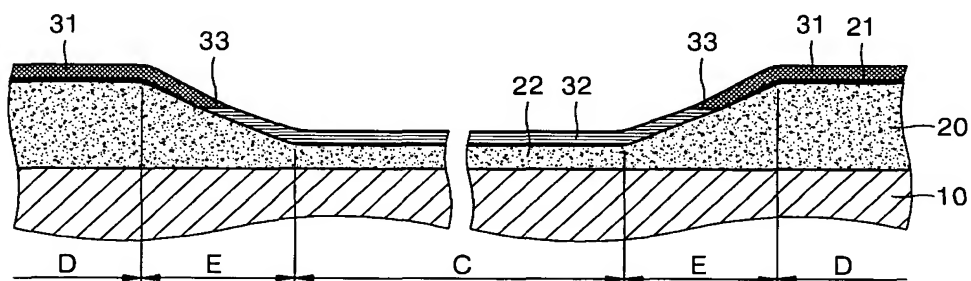
【도 2c】



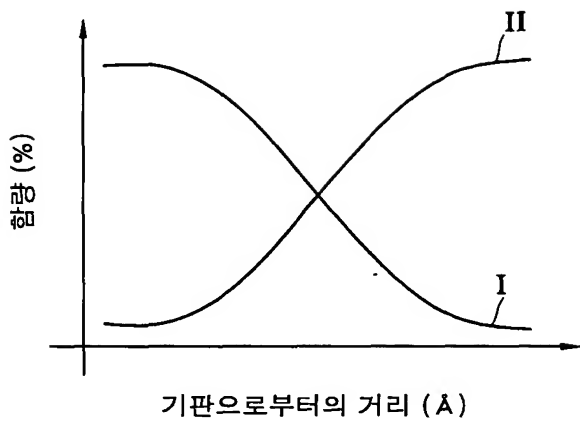
【도 3】



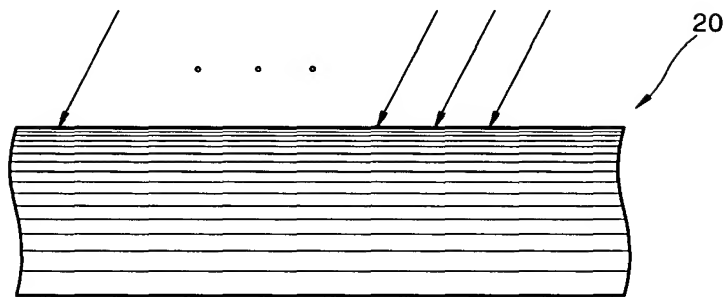
【도 4】



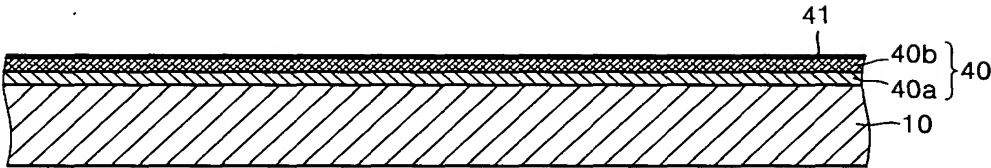
【도 5】



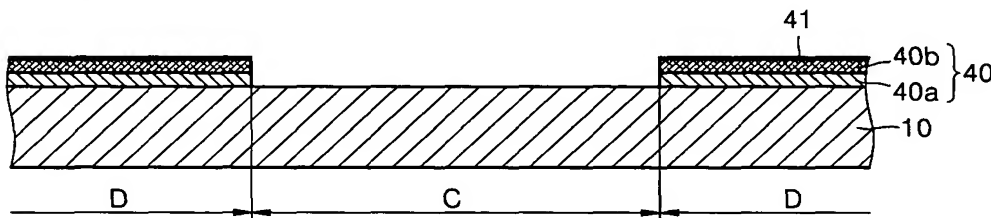
【도 6】



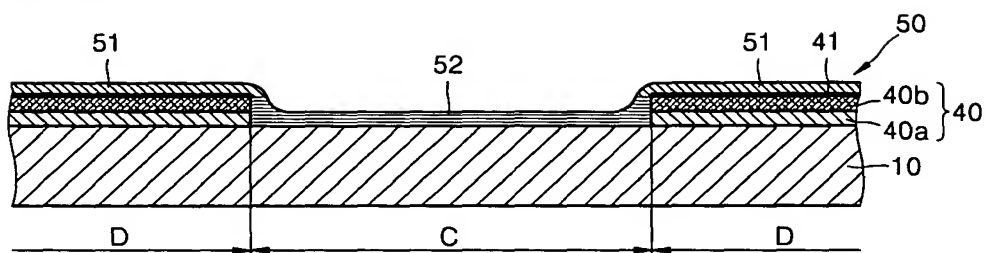
【도 7a】



【도 7b】



【도 7c】



【도 8】

